

CAS Mikroelektronik Digital 25HS

Kursort Hochschule für Technik und Umwelt FHNW
Institut für Sensorik und Elektronik
Steinackerstrasse 5
5210 Windisch

Kursraum 4.227 (Gebäude 4)

Unterrichtszeiten Vormittag 08.35-11.45
Nachmittag 13.00-16:15

Stundenplan (grafisch)

Sep 25			Okt 25			Nov 25			Dez 25			Jan 26		
1	Mo		1	Mi		1	Sa		1	Mo		1	Do	
2	Di		2	Do		2	So		2	Di		2	Fr	
3	Mi		3	Fr	FPGA Verifik. (1)	3	Mo		3	Mi		3	Sa	
4	Do		4	Sa		4	Di		4	Do		4	So	
5	Fr		5	So		5	Mi		5	Fr	Projekt 2	5	Mo	
6	Sa		6	Mo		6	Do		6	Sa		6	Di	
7	So		7	Di		7	Fr	SopC (1)	7	So		7	Mi	
8	Mo		8	Mi		8	Sa		8	Mo		8	Do	
9	Di		9	Do		9	So		9	Di		9	Fr	Projekt 2
10	Mi		10	Fr	FPGA Verifik. (2)	10	Mo		10	Mi		10	Sa	
11	Do		11	Sa		11	Di		11	Do		11	So	
12	Fr		12	So		12	Mi		12	Fr	Projekt 2	12	Mo	
13	Sa		13	Mo		13	Do		13	Sa		13	Di	
14	So		14	Di		14	Fr	SopC (2)	14	So		14	Mi	
15	Mo		15	Mi		15	Sa		15	Mo		15	Do	
16	Di		16	Do		16	So		16	Di		16	Fr	Präsentation
17	Mi		17	Fr	FPGA Design (3)	17	Mo		17	Mi		17	Sa	
18	Do		18	Sa		18	Di		18	Do		18	So	
19	Fr	FPGA Design (1)	19	So		19	Mi		19	Fr	Projekt 2	19	Mo	
20	Sa		20	Mo		20	Do		20	Sa		20	Di	
21	So		21	Di		21	Fr	SopC (3)	21	So		21	Mi	
22	Mo		22	Mi		22	Sa		22	Mo		22	Do	
23	Di		23	Do		23	So		23	Di		23	Fr	
24	Mi		24	Fr	Projekt 1	24	Mo		24	Mi		24	Sa	
25	Do		25	Sa		25	Di		25	Do		25	So	
26	Fr	FPGA Design (2)	26	So		26	Mi		26	Fr		26	Mo	
27	Sa		27	Mo		27	Do		27	Sa		27	Di	
28	So		28	Di		28	Fr	Praxis	28	So		28	Mi	
29	Mo		29	Mi		29	Sa		29	Mo		29	Do	
30	Di		30	Do		30	So		30	Di		30	Fr	
			31	Fr					31	Mi		31	Sa	

Stundenplan (tabellarisch)

Kurs- Woche	Kalender- Woche	Datum	Dozent	Themen
FPGA Design und Verifikation				
1	38	19.09.2025	Bründler	Einführung in VHDL
		20.09.2025	Bründler	FPGA-Workflow
2	39	26.09.2025	Bründler	Vertiefung VHDL
		27.09.2025	Bründler	Synthese, Place&Route
3	40	03.10.2025	Pichler	VHDL Testbench
		04.10.2025	Pichler	Verifikation mit VHDL
4	41	10.10.2025	Pichler	Vertiefung Verifikation mit VHDL
		11.10.2025	Pichler	OSVVM, PSL
5	42	17.10.2025	Bründler	Vendor Specific FPGA Design
		18.10.2025	Bründler	Embedded Logic Analyzer
6	43	24.10.2025	Pichler	Projekt 1
		25.10.2025	Pichler	
System on programmable Chip				
7	45	07.11.2025	Bründler	Zync-7000 Processing System
		08.11.2025	Bründler	Vivado IPI & PL Peripherals
8	46	14.11.2025	Bründler	AXI Protocoll Family
		15.11.2025	Bründler	Custom IP & Version Control
9	47	21.11.2025	Bründler	Multi-Processor Systems & FreeRTOS
		22.11.2025	Bründler	P2 (Audio Echo)
10	48	28.11.2025	Bründler	Schriftliche Prüfung Beispiele aus der Praxis
		29.11.2025	Pichler	Beispiele aus der Praxis FPGA Projektmanagement
Gruppenarbeit				
11	49	05.12.2025		<i>Gruppenarbeit</i>
		06.12.2025		<i>Gruppenarbeit</i>
12	50	12.12.2025		<i>Gruppenarbeit</i>
		13.12.2025		<i>Gruppenarbeit</i>
13	51	19.12.2025		<i>Gruppenarbeit</i>
		20.12.2025		<i>Gruppenarbeit</i>
14	2	09.01.2026		<i>Gruppenarbeit</i>
		10.01.2026		<i>Gruppenarbeit</i>
15	3	16.01.2026	Alle	Präsentation der Gruppenarbeiten

Modulbeschreibung

FPGA Design und Verifikation (FPGA)	
Leitung	Oliver Bründer oliver.bruendler@fhnw.ch Prof. Michael Pichler michael.pichler@fhnw.ch
Umfang	96 Kontaktlektionen
Unterrichtssprache	Deutsch
Anspruchsniveau	Anwendung / Analyse
Lernziele	Die Studierenden wissen, wie man mit VHDL ein digitales, synchrones System auf Register-Transfer-Level beschreibt. Sie können mit VHDL/PSL eine Testbench schreiben und Ihr Design auf funktionale Korrektheit überprüfen. Mit den Tools der FPGA-Anbieter können Sie das Design synthetisieren, auf Einhaltung aller Timing-Anforderungen überprüfen und auf einem FPGA Development Board testen.
Inhaltsübersicht	Design 1 Einführung VHDL (für RTL-Modellierung) Design 2 Advanced VHDL Design 3 Einblick in eine FPGA-Technologie Verifikation 1 VHDL (für Testbench-Modellierung) Verifikation 2 Advanced Verifikation mit PSL Projekt 1 Selbständige Projektarbeit in der Gruppe
Empfohlene Vorkenntnisse	Grundkenntnisse in Digitaler Schaltungstechnik
Leistungsbewertung	Projekt 1 und schriftliche Modulschlussprüfung
Hilfsmittel	Notwendiges Material - VHDL Entwicklungsumgebung - FPGA Entwicklungsboard mit 7-Segment Anzeige und Drucktasten (im Kurs inbegriffen) - Eigenes Laptop mit ca. 120 GB freiem Diskspace (empfohlen)

System on programmable Chip (SopC)													
Leitung	Oliver Bründer oliver.bruendler@fhnw.ch												
Umfang	64 Kontaktlektionen												
Unterrichtssprache	Deutsch												
Anspruchsniveau	Anwendung / Analyse												
Lernziele	Die Studierenden wissen, wie man ein gesamtes System mit Mikrokontroller, Speicher und digitaler Logik in einem SoC realisiert, wie sich ein solches System mit Hilfe von vorgefertigten Schaltungen (IP-Cores) effizient implementieren lässt sowie welche Bussysteme und Tools dabei zum Einsatz kommen. So sind Sie in der Lage, eine leistungsfähiges und exakt auf Ihre Anwendung hin optimierte Architektur zu realisieren. Sie werden verschiedene Designs auf einem SoC-Development Board implementieren.												
Inhaltsübersicht	<table style="width: 100%; border-collapse: collapse;"> <tr> <td style="width: 20%;">SopC 1</td> <td>Einführung in die Zync7000 Familie</td> </tr> <tr> <td>SopC 2</td> <td>On-chip Bus und Peripherien</td> </tr> <tr> <td>SopC 3</td> <td>Multi-Prozessorsysteme und FreeRTOS</td> </tr> <tr> <td>Praxis</td> <td>Beispiele aus der Praxis</td> </tr> <tr> <td></td> <td>FPGA-Projektmanagement</td> </tr> <tr> <td>Projekt 2</td> <td>Selbständige Projektarbeit in der Gruppe</td> </tr> </table>	SopC 1	Einführung in die Zync7000 Familie	SopC 2	On-chip Bus und Peripherien	SopC 3	Multi-Prozessorsysteme und FreeRTOS	Praxis	Beispiele aus der Praxis		FPGA-Projektmanagement	Projekt 2	Selbständige Projektarbeit in der Gruppe
SopC 1	Einführung in die Zync7000 Familie												
SopC 2	On-chip Bus und Peripherien												
SopC 3	Multi-Prozessorsysteme und FreeRTOS												
Praxis	Beispiele aus der Praxis												
	FPGA-Projektmanagement												
Projekt 2	Selbständige Projektarbeit in der Gruppe												
Empfohlene Vorkenntnisse	Grundkenntnisse in C												
Leistungsbewertung	Projekt 2 und schriftliche Modulschlussprüfung												

Leistungskontrolle

Die Leistungskontrolle im CAS Mikroelektronik Digital geschieht über drei Bewertungen:

Projekt 1

Gruppenarbeit im Umfang von je 16 Stunden zu einer vorgegebenen Aufgabenstellung.

Projekt 2

Gruppenarbeit im Umfang von je 50 Stunden zu einer eigenen Aufgabenstellung (Rahmenbedingungen sind, dass der Inhalt die Themen aus dem Kurs widerspiegeln)

Schriftliche Prüfung

Fragen zum gesamten Kursinhalt.

Das CAS Mikroelektronik Digital ist bestanden, wenn der auf halbe Noten gerundete Durchschnitt 4.0 beträgt. Dabei werden die Leistungen wie folgt gewichtet:

	Gewichtung
- Projekt 1	1/6
- Projekt 2	2/6
- Schriftliche Prüfung	3/6